

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097884

(43)Date of publication of application : 08.04.1997

(51)Int.Cl. H01L 27/115  
 G11C 16/02  
 G11C 16/04  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

(21)Application number : 07-254787

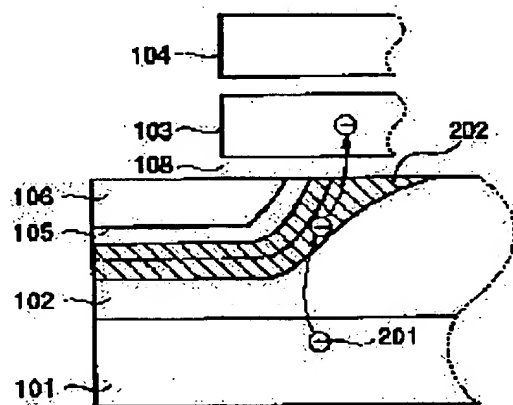
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.10.1995

(72)Inventor : UMEMURA MASASHI  
 KANEBAKO KAZUNORI**(54) NON-VOLATILE SEMICONDUCTOR MEMORY****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent the deterioration of a tunnel oxide film by a method wherein, when a write-in operation is conducted, the electrons supplied from the first conductivity type semiconductor substrate are accelerated by the depleted layer generated between the second conductivity type impurity region and the first conductive type source region, and they are injected into a gate.

**SOLUTION:** Electrons 201, contained in an n-type semiconductor substrate 101, are implanted into a p-type impurity region when 0V is applied to an n-type semiconductor substrate 101 and 0.7V is applied to a p-type impurity region 102. As 0.7V is applied to the p-type impurity region 102 and 3V of backward voltage is applied to the n-type first source region 105, a depleted layer 202 is generated on the boundary surface between the p-type impurity region 102 and the n-type first source region 105. The electrons 201 supplied from the n-type semiconductor substrate 101 are implanted into the depleted layer 202, they are accelerated in the depletion layer 202 and have high energy. At this time, when 10V voltage is applied to a control gate 104, the electrons 201 are implanted into a floating gate 103 extending over a tunnel oxide film 108.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97884

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	27/115		H 0 1 L 27/10	4 3 4
G 1 1 C	16/02		G 1 1 C 17/00	3 0 7 D
	16/04		H 0 1 L 29/78	3 7 1
H 0 1 L	21/8247			
	29/788			

審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く

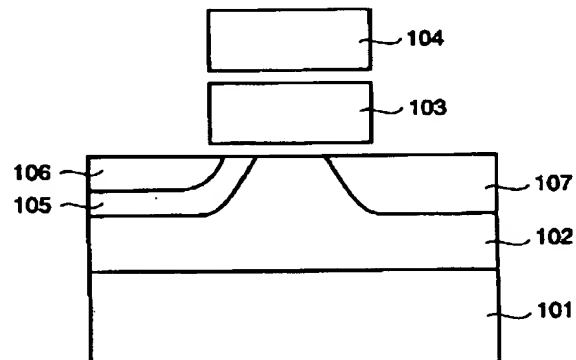
(21) 出願番号	特願平7-254787	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)10月2日	(72) 発明者	梅村 政司 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72) 発明者	金箱 和範 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(74) 代理人	弁理士 外川 英明

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 EEPROMのプログラミング動作の繰り返しによる、トンネル酸化膜の劣化を防止する。

【解決手段】 二重ウェル構造内に、二重導電タイプの拡散層からなるソース（ドレイン）を有するメモリセルトランジスタにおいて、各部への電圧を制御することにより、メモリセルへの書き込み消去を、空乏層で加速された電子、ホールを用いて行う。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、

前記第1導電型の半導体基板内に形成された第2導電型の不純物領域と、

前記第2導電型の不純物領域表面に形成された第1絶縁膜と、

前記第1絶縁膜上に形成された電氣的に浮遊なゲート電極と、

前記電氣的に浮遊なゲート電極上に第2絶縁膜を介して少なくとも一部が前記電氣的に浮遊なゲートとオーバーラップするように形成されたコントロール電極と、

前記第2導電型の不純物領域内に形成された、第1導電型の第1のソース（またはドレイン）領域と、

前記第1導電型の第1のソース（またはドレイン）領域内に形成された第2導電型の第2のソース（またはドレイン）領域と、

前記第2導電型の不純物領域内に形成された第1導電型のドレイン（またはソース）領域とを具備し、

書き込み時に、前記第1導電型の半導体基板より供給された電子を、前記第2導電型の不純物領域と前記第1導電型の第1のソース（またはドレイン）領域との間に発生させた空乏層により加速し、前記電氣的に浮遊なゲートに注入させ、

消去時に、前記第2導電型の不純物領域より供給されたホールを、前記第1導電型の第1のソース（またはドレイン）領域と第2導電型の第2のソース（またはドレイン）領域との間に発生させた空乏層により加速し、前記電氣的に浮遊なゲートに注入させることを特徴とする不揮発性半導体記憶装置。

【請求項2】 第1導電型の半導体基板と、

前記第1導電型の半導体基板内に形成された第2導電型の不純物領域と、

前記第2導電型の不純物領域表面に形成された第1絶縁膜と、

前記第1絶縁膜上に形成された電氣的に浮遊なゲート電極と、

前記電氣的に浮遊なゲート電極上に第2絶縁膜を介して少なくとも一部が前記電氣的に浮遊なゲートとオーバーラップするように形成されたコントロール電極と、

前記第2導電型の不純物領域内に形成された、第1導電型の第1のソース（またはドレイン）領域と、

前記第1導電型の第1のソース（またはドレイン）領域内に形成された第2導電型の第2のソース（またはドレイン）領域と、

前記第2導電型の不純物領域内に形成された第1導電型のドレイン（またはソース）領域とを具備し、

前記電氣的に浮遊なゲートへ電子を注入する場合、前記第1導電型の半導体基板と前記第2導電型の不純物領域とを順バイアス状態とし、前記第2導電型の不純物領域と前記第1導電型の第1のソース（またはドレイン）領

域とを逆バイアス状態とし、

前記電氣的に浮遊なゲートへホールを注入する場合、前記第2導電型の不純物領域と前記第1導電型の第1のソース（またはドレイン）領域とを順バイアス状態とし、前記第1導電型の第1のソース（またはドレイン）領域と前記第2導電型の第2のソース（またはドレイン）領域とを逆バイアス状態とすることを特徴とする不揮発性半導体記憶装置。

【請求項3】 デバイスの全動作モードにおいて、半導体基板を接地して動作させることを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は不揮発性半導体記憶装置に係わり、特にメモリセルにおいて浮遊ゲートに電子またはホールを注入することによりプログラム動作を行うEEPROMに用いられるものである。

【0002】

【従来の技術】EEPROMの一般的なメモリ素子構造は、図7に示すように、半導体基板601内に形成された不純物領域602と、この不純物領域602中に形成されたソース603およびドレイン604と、この不純物領域上にトンネル酸化膜605を介して形成された電氣的に浮遊なゲート電極（以下浮遊ゲートと呼ぶ）606と、この浮遊ゲート606上に絶縁膜607を介して形成されたコントロールゲート電極（以下コントロールゲートと呼ぶ）608の2層ゲートからなるMOS型電界効果トランジスタである。メモリセルへの書き込み、消去は、浮遊ゲート606に電子の注入、電子の引き抜き（ホールの注入）を行うことにより、コントロールゲートから見た閾値が変化することを利用したものである。この電子の注入、引き抜き方法として、チャネルホットエレクトロン、FNTトンネル電流等を利用する方法がある。

【0003】チャネルホットエレクトロンを利用する書き込みは、ドレインと制御ゲートに高電圧を印加し、ソースを接地することによってチャネルを流れる電子が、ドレイン近傍の高電界で加速されることにより行われる。この場合ドレイン、浮遊ゲート間に高電界が印加され、さらにチャネルに大電流が流れることになる。

【0004】これに対してFNTトンネル電流を用いて書き込み、消去を行う方法では、チャネル電流はほとんど必要がない。書き込み時は、例えば半導体基板601、不純物領域602、ソース603及びドレイン604に0V、コントロールゲート608に電圧を印加する。コントロールゲートに電圧を印加することにより、トンネル酸化膜605に電圧が印加される。トンネル酸化膜に電圧が印加されると、バンド構造は図8に示すフラットバンド状態からコントロールゲートに正の電圧印加時のバンド状態へと変化し、Si基板表面で下向きにわん曲

3

し、空乏層701中に電子が誘起される。また、トンネル酸化膜に電圧が印加されると、浮遊ゲート側で、トンネル酸化膜のエネルギーギャップは印加電圧に応じて引き下げられ、トンネル酸化膜のバリア上部に歪み702が生じる。電子はこのトンネル酸化膜のバリアの歪み702を突き抜けて、浮遊ゲートに達する。このとき、コントロールゲートから見たトランジスタの閾値は高くなり、書き込み状態となる。消去時は、例えば、半導体基板601をopen、不純物領域602に電圧を印加、ソース603及びドレイン604、コントロールゲート608に0Vを印加する。トンネル酸化膜605に負電圧が印加されると、バンド構造は図9に示すフラットバンド状態から負の電圧印加時のバンド状態へと変化し、Si基板表面で下向きにわん曲する空乏層801中にホールが誘起される。またSi基板側でトンネル酸化膜のエネルギーギャップは印加電圧に応じて引き下げられ、トンネル酸化膜のバリア底部に歪み802が生じる。電子はこのトンネル酸化膜のバリアの歪み802を突き抜けて、浮遊ゲートから引き抜かれる。このときコントロールゲートから見たトランジスタの閾値は低くなり消去状態となる。このようにトンネル酸化膜中を移動する電子の流れを、FNトンネル電流と呼ぶ。一般にトンネル酸化膜にFNトンネル電流を流した場合、トンネル酸化膜を介して電子のやりとりするため、トラップが発生し電子及びホールがある確率でトンネル酸化膜中に捕獲され、そこにとどまることが知られている。これらのトラップは、コントロールゲートから見た閾値を変動させるため、EEPROMメモリセルの信頼性低下を招いていた。この閾値の変動は、図10に示すように書き込み・消去のサイクル数が増加するに従い増加する。また、FNトンネル電流による書き込み、消去を繰り返すことにより、電子及びホールがトンネル酸化膜を介して浮遊ゲートもしくは半導体基板よりリークする現象が発生する。例えばトンネル酸化膜中にホールがトラップされている場合、コントロールゲートに低電圧が印加されただけで、半導体基板中の電子が浮遊ゲートに注入されてしまい、読みだし動作中にメモリセルへの書き込みが行われてしまうといった不具合が生じる。

【0005】上記問題に対しては、トンネル酸化膜に印加する電圧を通常の印加電圧（例えば23V）より高くして、図8に示すトンネル酸化膜に高電圧が印加された場合のバンド構造に示すようにトンネル酸化膜のバンドギャップをさらに引き下げることにより、電子がトンネル酸化膜のバリアを越える現象による書き込みも考えられる。しかし、電子が飛び越えられる程度までトンネル酸化膜のバリアを引き下げるには、トンネル酸化膜にかなりの高電圧を印加する必要があるため、トンネル酸化膜の高電界による劣化や、高耐圧のトランジスタが必要になるといった問題が生じる。

【0006】この問題に対しては、半導体基板と拡散層

4

を順バイアス状態として供給された電子を、半導体基板と制御ゲートおよびソース/ドレインとを逆バイアスさせた空乏層で加速し、浮遊ゲートに注入する手段が特開平6-268231、1994 IEEE IEDM 94-53、に開示されている。しかし、これらの方法では書き込み時のみ、トンネル酸化膜にストレスを与えないというものであり、これらの構造では、消去時のストレスを低く抑えることは不可能である。

【0007】

10 【発明が解決しようとする課題】このように、従来のEEPROMメモリセルでは、書き込み、消去サイクル数が増加すると、電子及びホールのトラップによる上述した閾値の変動及びリーク現象が発生し、メモリセルの信頼性を低下させるという問題があった。

【0008】本発明は、上記の欠点を鑑みてなされたもので、トンネル酸化膜を劣化させることなく、書き込み、消去を行う、信頼性の高い不揮発性半導体装置を提供することを目的とするものである。

【0009】

20 【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置においては、第1導電型の半導体基板と、前記第1導電型の半導体基板内に形成された第2導電型の不純物領域と、前記第2導電型の不純物領域表面に形成された第1絶縁膜と、前記第1絶縁膜上に形成された電氣的に浮遊なゲート電極と、前記電氣的に浮遊なゲート電極上に第2絶縁膜を介して少なくとも一部が前記電氣的に浮遊なゲートとオーバーラップするように形成されたコントロール電極と、前記第2導電型の不純物領域に形成された、第1導電型の第1のソース（またはドレイン）領域と、前記第1導電型の第1のソース（またはドレイン）領域内に形成された第2導電型の第2のソース（またはドレイン）領域と、前記第2導電型の不純物領域内に形成された第1導電型のドレイン（またはソース）領域とを具備し、書き込み時に、前記第1導電型の半導体基板より供給された電子を、前記第2導電型の不純物領域と前記第1導電型の第1のソース（またはドレイン）領域との間に発生させた空乏層により加速し、前記電氣的に浮遊なゲートに注入させ、消去時に、前記第2導電型の不純物領域より供給されたホールを、前記第1導電型の第1のソース（またはドレイン）領域と第2導電型の第2のソース（またはドレイン）領域との間に発生させた空乏層により加速し、前記電氣的に浮遊なゲートに注入させることを特徴としている。

30 【0010】以上のように構成された不揮発性半導体記憶装置においては、書き込み時、前記半導体基板と前記第2導電型不純物領域とに順バイアス状態とし、前記半導体基板より前記第2導電型不純物領域に電子を供給し、前記第2導電型不純物領域と前記第1導電型の第1のソース（またはドレイン）領域とを逆バイアス状態と

50

し、空乏層を発生させることにより、供給された電子を空乏層で加速させ、トンネル酸化膜のバリアを越えるエネルギーを持たせて、浮遊ゲートに注入する。消去時は、前記不純物領域と前記二重導電タイプの拡散層からなるソースまたはドレインの第1導電型の部分とを順バイアス状態とし、前記第2導電型不純物領域より前記二重導電タイプの拡散層からなるソースまたはドレインの第1導電型の部分にホールを供給し、前記第1導電型に第1のソース（またはドレイン）領域と第2導電型の第2のソース（またはドレイン）領域とを逆バイアス状態とし、空乏層を発生させることにより、供給されたホールを空乏層で加速させ、トンネル酸化膜のバリアを越えるエネルギーを持たせて、浮遊ゲートに注入する。

【0011】そして上記した理由から、プログラミング時にトンネル酸化膜にトラップされる、電子、ホールによる酸化膜の劣化を低く抑えることができる。また、従来と比べて、約1/2程度の低電圧でのプログラミング動作が可能になる。

【0012】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について詳細に説明する。図1は、本発明を適用したEEPROMの構造を示す図である。本発明のメモリセルは、n型半導体基板101上に形成されたp型不純物領域102内に浮遊ゲート103とコントロールゲート104を有する、MOSトランジスタで形成されている。トランジスタのソース（またはドレイン）は、例えば40keVの加速度で $1.2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量のリン(P)を注入し形成したn型の第1のソース領域105内部に、15keVの加速度で $1.2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量のボロン(B)を注入することにより形成したp型の第2のソース領域106を有する、二重導電タイプの拡散層からなる。n型半導体基板101、p型不純物領域102、コントロールゲート104、第1のソース領域105、第2のソース領域106、ドレイン領域107はメモリセルの各動作モードに応じて所定の電圧を印加できるようになっている。このときの電圧値の一例を図2に示す。

【0013】以下、書き込み時の動作原理を図2及び図3を用いて説明する。n型半導体基板101に0V、p型不純物領域102に0.7Vの順方向電圧を印加すると、n型半導体基板101中の電子201はp型不純物領域へ注入される。また、p型不純物領域102に0.7V、n型の第1のソース領域105に3Vの逆方向電圧が印加されているので、p型不純物領域102とn型の第1のソース領域105との境界面で空乏層202が発生する。n型半導体基板101より供給された電子201は空乏層202中に注入され、空乏層202中で加速され高いエネルギーを持つ。このとき、コントロールゲート104に10Vの電圧を印加すると、電子201はトンネル酸化膜108を越えて浮遊ゲート103に注

入される。電子201が浮遊ゲート103に注入されると、コントロールゲート104より見た閾値は高くなり、メモリセルは書き込み状態となる。このときのバンド構造を図4に示す。メモリセルのSi基板側では、p型不純物領域とn型の第1のソース領域間の逆方向電圧により、バンドの曲がり301が生じ、空乏層302が発生する。さらにコントロールゲートに例えば10Vの電圧を印加することにより、トンネル酸化膜に電圧Vgが印加される。このとき、トンネル酸化膜のバリアの高さは、浮遊ゲート側でVgだけ引き下げられ歪み303が生じる。空乏層302で発生した電子に加えて、n型半導体基板より供給された多量の電子は空乏層302中で加速され、トンネル酸化膜のバリアを越えるようなエネルギーを得た電子304は、トンネル酸化膜のバリアを越えて浮遊ゲートへ注入される。トンネル酸化膜への印加電圧Vgによってトンネル酸化膜のバリア上部に歪み303が生じるが、電子304がトンネル酸化膜を突き抜けるには十分な電圧ではないため、Si基板側でのバンドの曲がりによって高エネルギーを得た電子304のみが酸化膜のバリアを飛び越えて、浮遊ゲートに注入される。

【0014】消去時の動作原理を図2及び図5を用いて説明する。p型不純物領域102に0.7V、n型の第1のソース領域105に0Vの順方向電圧を印加すると、p型不純物領域102中のホール401はn型の第1のソース領域へ注入される。また、n型の第1のソース領域105に0V、p型の第2のソース領域106に-3Vの逆方向電圧が印加されているので、n型の第1のソース領域105とp型の第2のソース領域106との境界面で空乏層402が発生する。p型不純物領域102より供給されたホール401は空乏層402中に注入され、空乏層402中で加速され高いエネルギーを持つ。このとき、コントロールゲート104に-10Vの電圧を印加すると、ホール401はトンネル酸化膜108を越えて浮遊ゲート103に注入される。ホール401が浮遊ゲート103に注入されると、コントロールゲート104より見た閾値は低くなり、メモリセルは消去状態となる。このときのバンド構造を図6に示す。メモリセルのSi基板側では、n型の第1の不純浮遊ゲートとp型の第2の不純物領域間の逆方向電圧により、バンドの曲がり501が生じ、空乏層502が発生する。さらにコントロールゲートに例えば-10Vの電圧を印加することにより、トンネル酸化膜に電圧Vgが印加される。このとき、トンネル酸化膜のバリアの高さは、浮遊ゲート側でVgだけ引き上げられ歪み503が生じる。空乏層502で発生したホールに加えて、p型不純物より供給された多量のホールは空乏層502中で加速され、トンネル酸化膜のバリアを越えるようなエネルギーを得たホール504は、トンネル酸化膜のバリアを越えて、浮遊ゲートへ注入される。トンネル酸化膜への印加

電圧 $V_g$ によってトンネル酸化膜のバリア底部に重み503が生じるが、ホール504がトンネル酸化膜を突き抜けるには十分な電圧ではないため、Si基板側でのバンドの曲がりによって高エネルギーを得たホール504のみが酸化膜のバリアを飛び越えて、浮遊ゲートに注入される。また、図1の不揮発性半導体記憶装置において、読み取り、書き込み、消去のどの動作モードにおいても、常に半導体基板に接地電位に保つことが可能である。

【0015】

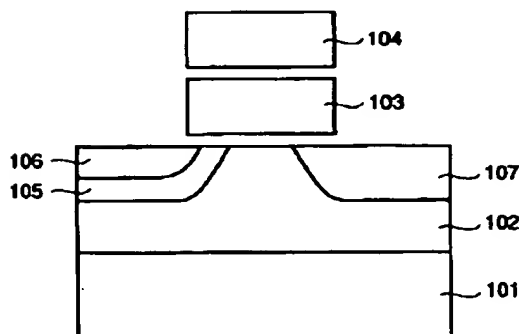
【発明の効果】本発明は以上説明したように構成されるので、以下に記載されるような効果を奏する。トンネル酸化膜のバリアを越えるようなエネルギーを持った電子、ホールを用いて、書き込み、消去を行うので、トンネル酸化膜中の電子、ホールトラップを低減させることにより、閾値の変動や、低電界でのリーク電流を低減させることができ、信頼性の高いメモリセルを実現することが可能となる。

【0016】また、従来の約1/2の電圧で電子、ホールを浮遊ゲートに注入することができるので、メモリを構成する周辺トランジスタを高耐圧構造にする必要がなく、周辺回路も小規模化し、集積度を高めることが可能となる。

【0017】特に、2つの異なる導電タイプの二重拡散層からなるソース（ドレイン）を用いることにより、書き込み、消去に必要な電子、ホールの供給および、これら電子、ホールを加速させる空乏層の発生をより適した位置関係で行うことにより、書き込み、消去を効率良く行うことが可能となる。

【0018】さらに、メモリセルの全デバイスモードで、半導体基板を接地電位に保つことにより、半導体チップを基体にマウントする場合の放熱性を向上させることができる。

【図1】



\*【図面の簡単な説明】

【図1】本発明で用いるフラッシュメモリEEPROMメモリセルの断面図である。

【図2】図1で示した各部に印加する電圧の実施例を示した図表である。

【図3】書き込み時の電子の移動経路を示した図である。

【図4】書き込み時のバンド構造を示した図である。

【図5】消去時のホールの移動経路を示した図である。

10 【図6】消去時のバンド構造を示した図である。

【図7】従来のEEPROMメモリセルの断面図である。

【図8】トンネル電流を用いた書き込み時のバンド構造を示した図である。

【図9】トンネル電流を用いた消去時のバンド構造を示した図である。

【図10】書き込み・消去サイクル数を閾値 $V_{th}$ の関係を表わす図である。

【符号の説明】

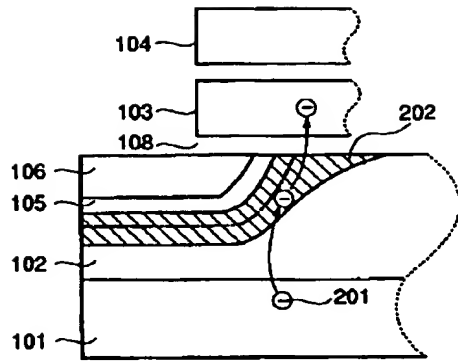
101	n型半導体基板
102	p型の不純物領域
105	n型の第1のソース領域
106	p型の第2のソース領域
201	電子
202	空乏層
301	バンドの曲がり
304	トンネル酸化膜のバリアを越えるのに十分なエネルギーを得た電子
401	ホール
402	空乏層
501	バンドの曲がり
504	トンネル酸化膜のバリアを越えるのに十分なエネルギーを得た電子

【図2】

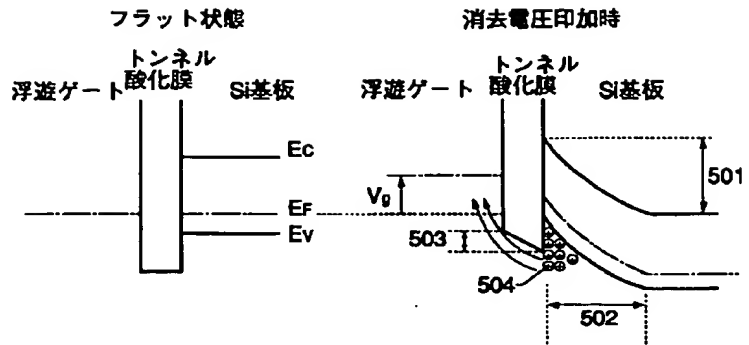
	半導体基板	第1の不純物領域	第1のソース領域	第2のソース領域	ドレイン領域	コントロールゲート
書き込み時	0	0.7	3	3	OPEN	10
消去時	0	0.7	0	-3	OPEN	-10

【単位：V】

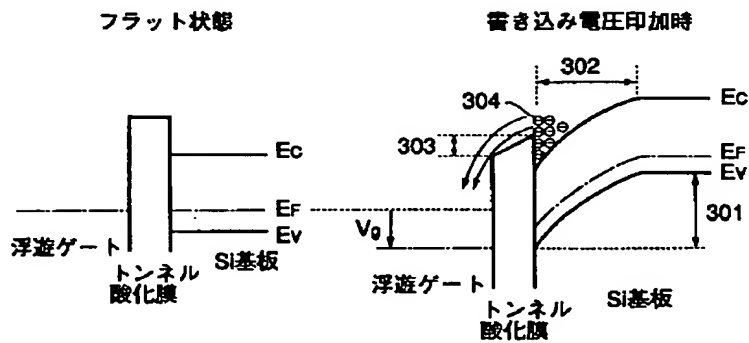
【図3】



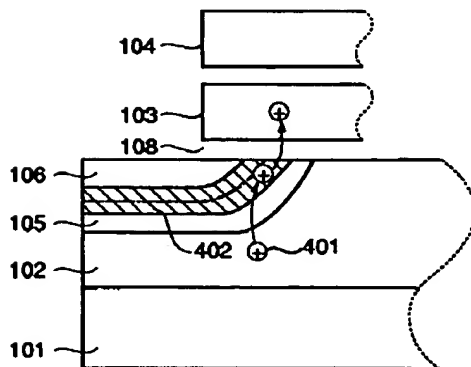
【図6】



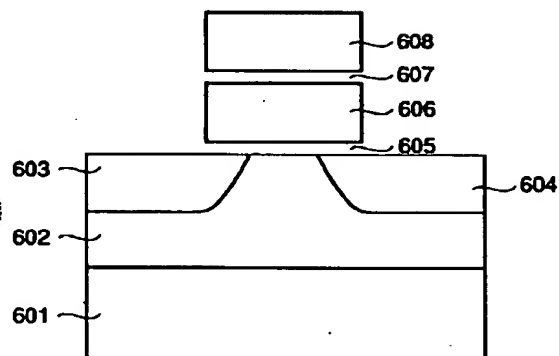
【図4】



【図5】

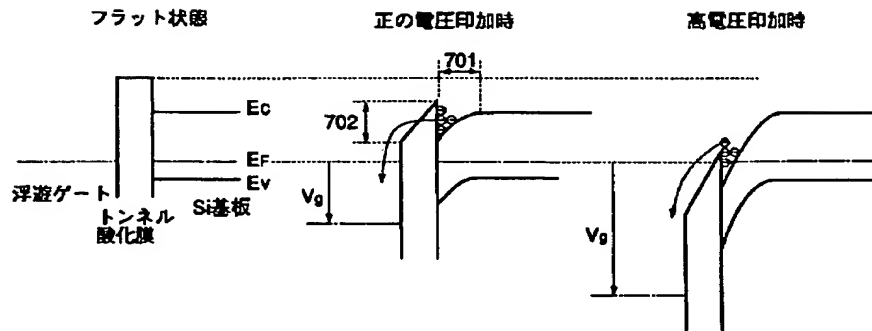


【図7】

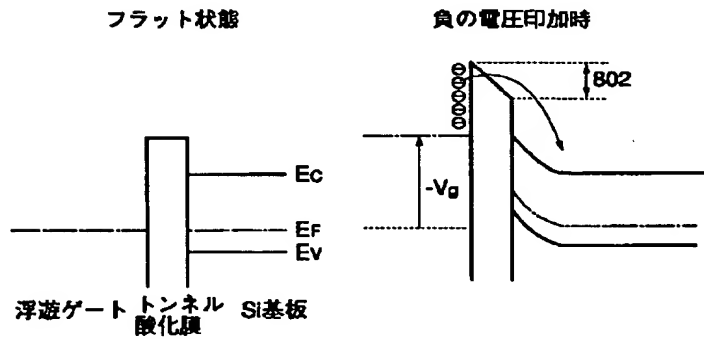




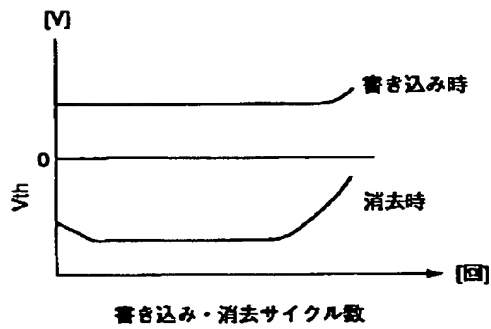
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 29/792

識別記号 庁内整理番号

F I

技術表示箇所